****

**UNIVERSIDAD TECNOLÓGICA NACIONAL**

**Facultad Regional Buenos Aires**

***ARQUITECTURA de COMPUTADORES [08-2022]***

**–2023–**

**Docente: Prof. Roberto Tenuta**

**Trabajo Práctico grupal**

***«trabajo práctico grupal Memorias»***

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Localización [MEDRANO]** | | | | | | | **Curso: K1029** | | | | | | |
| **Integrantes del equipo: Herzkovich Agustín, Punta Máximo, Palazzesi Tomás, Adorno Elías, Stamati Gad** | | | | | | | | | | | | | |
| **Legajo: 213.787-2** | **Herzkovich Agustín** | | | | | | | | | | | | |
| **Legajo: 214.033-0** | **Punta Máximo** | | | | | | | | | | | | |
| **Legajo: 214.166-8** | **Stamati Gad** | | | | | | | | | | | | |
| **Legajo: 213.961-3** | **Palazzesi Tomás** | | | | | | | | | | | | |
| **Legajo: 213.445-7** | **Adorno Elías** | | | | | | | | | | | | |
|  |  | | | | | | | | | | | | |
|  |  | | | | | | | | | | | | |
|  |  | | | | | | | | | | | | |
|  |  | | | | | | | | | | | | |
| **Entrega / Revisión** | **1** | | | | **2** | | | | | **3** | | | |
| **Fecha de entrega** |  | | | |  | | | | |  | | | |
| **Fecha de calificación** |  | | | |  | | | | |  | | | |
| **Calificación** | **A** | **B** | **C** | **D** | **A** | **B** | | **C** | **D** | **A** | **B** | **C** | **D** |
| **Firma del Docente** |  | | | |  | | | | |  | | | |
| **Observaciones:** | | | | | | | | | | | | | |

**EJERCICIOS DE MEMORIA Y MEMORIA CACHE**

1. Sabiendo que una CPU genera una dirección de 33 bits que permiten acceder a la memoria principal

* Cuál es el tamaño potencial de la memoria principal
* Si a la memoria DRAM se le habilitan 4 Giga ¿Cuántos bits son significativos para direccionarla
* ¿Si el total de los 4 Giga están distribuidos en dos placas de 8 chips cada una como esta armada la matriz de mX8 en cada chip y cuál es la capacidad de cada uno?

1. Un sistema de memoria paginada utiliza páginas de 16 K y opera en un entorno donde la dirección lineal es de 24 bits. ¿Cuántos y cuáles bits de esta dirección se utilizan para indicar el desplazamiento dentro de la página suponiendo una administración con un único nivel de jerarquía?

**3) E**l Tamaño Máximo de un Segmento:

a. Puede ser de 64K en modo real.

b. Puede ser de 1 Mbyte o incluso de 4 GBytes en modo protegido

c. Ambas son verdaderas.

d. Ninguna respuesta es correcta.

**4)** El Desplazamiento en una Dirección Virtual es:

a. de 32 bits.

b. de 48 bits.

c. de 46 bits.

1. se almacena en un registro de segmento.

**5)** En modo virtual un segmento de datos no paginado ocupa 2048 bytes y se haya residiendo en memoria principal. La dirección virtual que permite accederlo es 0004:00032785, además la dirección física obtenida para accederlo es

0B332785. EXPRESAR EN HEXADECIMAL LOS CAMPOS NUMERICOS DE SU DECRIPTOR DE SEGMENTO INDICANDO CUAL ES SU DENOMINACIÓN E INDICAR AL MENOS DOS ATRIBUTOS DE DICHO SEGMENTO

**6)** Suponiendo los siguientes valores de los registros en Modo Virtual ó Protegido:

CS=4004 DS=8000 SS=1000 EIP=00000F50 ESP=0000FF0C se accede a la instrucción ubicada en la dirección física A555BF50, indicar:

1. El valor del Selector asociado a la dirección virtual que se accede.
2. Valor del bit TI indicando su significado.
3. Dirección base del comienzo del segmento.
4. Si el segmento de Códigos ocupa 4096 bytes, cuál será la dirección final del segmento?

**7)** De acuerdo con el siguiente esquema y conociendo los descriptores de los segmentos A, B y C

Descriptor de A: expresado en hexadecimal como dos doble Word (de acuerdo con el formato del descriptor que se agrega abajo)

0 1 4 0 F A 0 0

8 0 0 0 8 0 0 0

Descriptor de B: expresado en hexadecimal como dos doble Word

0 2 4 0 F 6 0 0

8 0 0 0 C 0 0 0

Descriptor de C: expresado en hexadecimal como dos doble Word

0 3 4 8 F 2 0 0

8 0 0 0 7 0 0 0

Diagrama

Descripción generada automáticamente

Tabla

Descripción generada automáticamente con confianza baja

* Determine el espacio físico donde se encuentra cada segmento
* Indique de que tipo es cada segmento
* Cuáles son los registros de segmento que debo emplear para direccionar a cada uno de ellos.
* Indique el tamaño de cada segmento

1. Teniendo en cuenta el siguiente esquema y dados los valores de CS: 1202H y siendo el contenido de GDTR: 000008002000H determinar cuál es la dirección física del descriptor de segmento

Diagrama

Descripción generada automáticamente

1. En base al siguiente esquema si el desplazamiento es: 00000ABC H; indicar cuál sería la dirección lineal de cada uno de los segmentos A, B y C del primer problema y con qué tabla accedemos en cada caso si conocemos la información de los siguientes registros de segmento:

CS = 1202 H; DS = 2307 H y SS = 012F H

Diagrama, Esquemático

Descripción generada automáticamente

**10)** Teniendo en cuenta el contenido de los registros mostrados abajo se pide calcular la dirección física a la que se accedería en modo real (o modo 16 bits) mediante las siguientes instrucciones e indicar cuál sería el contenido de cada posición de memoria:

a) POP CX DIRECCIÓN= CONTENIDO= Indicar conceptualmente

b) MOV [0000], BX DIRECCIÓN= CONTENIDO=

Contenido de los registros

REGISTRO AX = 001B REGISTRO SP = 003C REGISTRO IP = 0103

REGISTRO CS = 0040 REGISTRO BX = 001C REGISTRO DS= 0050

REGISTRO CX = 001D REGISTRO SS = 0060

**11)** Dada la siguiente situación y sabiendo que la CPU genera una dirección de 24 bits que permiten acceder a la memoria principal y a la caché:

Tiene 64 líneas

5 bits

MP

M. Caché

L

E

24 bits

Indicar

1. Cuál es el tamaño de la memoria principal
2. Cuál es el tamaño de la línea de caché
3. Cuál es el tamaño de la memoria caché
4. Cuánto valen los campos E y L

**12)** Una memoria principal de 4 Mbytes opera con una caché de 64 K líneas de 8 bytes cada una y utiliza correspondencia directa (asociativa de una vía). ¿Qué estructura de parámetros permite el acceso a esta memoria y cómo se distribuyen los bits correspondientes?

**13)** Una memoria principal de 4 Mbytes opera con una caché de 64 K líneas de 8 bytes cada una y utiliza correspondencia totalmente asociativa. ¿Qué estructura de parámetros permite el acceso a esta memoria y cómo se distribuyen los bits correspondientes?

**14)** Una memoria cache con una organización asociativa de 2 vías está dividida en cada vía en 8 bloques de 8 bytes cada uno. La memoria principal tiene una capacidad de un KB. ¿Cuál es el formato que el controlador de cache utiliza para interpretar la dirección física y determinar si la información buscada se encuentra en ella? ¿Cuántos bytes almacena la caché? ¿Cuántos bytes de cache se acceden por vez?

**15)** Sabiendo que una CPU genera una dirección de 24 bits que permiten acceder a la memoria principal y a la caché y que la caché tiene 128 líneas de 32 palabras (bytes) cada una indicar:

* Cuál es el tamaño de la memoria principal
* Cuántos bytes tiene el campo **etiqueta** en el caso de **correspondencia totalmente asociativa.**
* Cuántos bytes tiene el campo **etiqueta** en el caso de **correspondencia directa**

1. A continuación, se muestra una memoria caché con la etiqueta y datos que la forman:

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | Etiquetas |  | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 0 | 1001 |  | A4 | 54 | 79 | 32 | 45 | 22 | F0 | 56 |
| 1 | 0111 |  | 14 | 52 | 33 | 8D | B5 | 34 | 45 | 32 |
| 2 | 1001 |  | 00 | FF | 64 | 31 | 11 | A6 | 33 | 24 |
| 3 | 0011 |  | 32 | 63 | CC | **C3** | FA | 1F | 33 | 53 |
| 4 | 1010 |  | 76 | 88 | 64 | 46 | 25 | 37 | F3 | FA |
| 5 | 0100 |  | DC | 14 | 33 | 96 | 8A | 7B | 34 | F0 |
| 6 | 0010 |  | 15 | 37 | A1 | 85 | AA | B6 | 42 | 13 |
| 7 | 1001 |  | 77 | 76 | 34 | 90 | 00 | 15 | 61 | 24 |

1. Indicar la dirección que permite acceder con éxito al dato indicado, suponiendo que se trata de una memoria cache de correspondencia directa.
2. Suponiendo que las direcciones de Memoria a acceder son 2A6 y 3A5 indicar si hay acierto o no y en el caso de acierto el valor obtenido.
3. Indicar el tamaño de la Memoria principal relacionada con la memoria cache del punto anterior **(b)**
4. En el caso de ausencia indicar que línea es la que se actualizaría

**Respuestas**

1)

* El potencial tamaño de la MP es de 8GB.
* 32 bits.
* Queda una matriz de 256Mx8. La capacidad de cada chip es de 256 MB.

2) Para el desplazamiento se utilizan los 14 bits menos significativos de la dirección lineal.

3) Ambas son verdaderas.

4) 32 bits.

5)

Base = 0B300000h

Límite = 00800h

Atributos:

P = 1

G = 0

6)

a) Selector = 1001h

b) TI = 1, indica que accede a la LDT.

c)

d) Dirección final = 0100h

7)

a) El espacio físico en el cual se encuentra el descriptor A es entre 01008000h y 0100FFFFh. El descriptor B está entre 02008000h y 02013FFFh. El descriptor C está entre 03008000h y 038EFFFh.

b) El segmento del descriptor A es de código.

El segmento del descriptor B es de pila.

El segmento del descriptor C es de datos.

c)

* Segmento A: CS.
* Segmento B: SS.
* Segmento C: DS.

d) El tamaño del segmento A es de 32KB, el tamaño del segmento B es de 49152 Bytes o 48KB y el tamaño del segmento C es de 552960 Bytes o 540KB (Granularidad = 0 todos).

8)

9)

Con CS = 1202h accede a la GDT.

Con DS = 2307h accede a la LDT.

Con SS = 012Fh accede a la LDT.

10)

a) POP CX DIRECCIÓN= 0063Ch CONTENIDO= El dato de CX guardado previamente con la instrucción push en la pila

b) MOV [0000], BX DIRECCIÓN= 00500h CONTENIDO= 001C

11)

a) MP = 16MB

b) 32 bytes

c) 2KB

d) E = 13 bits, L = 6 bits

12)

|  |  |  |
| --- | --- | --- |
| **Etiqueta (3 bits)** | **Línea (16 bits)** | **Dato (3 bits)** |

13)

|  |  |
| --- | --- |
| **Etiqueta (19 bits)** | **Dato (3 bits)** |

14)

|  |  |  |
| --- | --- | --- |
| **Etiqueta (4 bits)** | **Línea (3 bits)** | **Dato (3 bits)** |

La caché almacena 256 Bytes.

Se acceden a 8 Bytes por vez.

15)

* Tamaño de MP = = 16MB

Etiqueta en correspondencia totalmente asociativa = 19 bits

16)

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | Etiquetas |  | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 0 | 1001 |  | A4 | 54 | 79 | 32 | 45 | 22 | F0 | 56 |
| 1 | 0111 |  | 14 | 52 | 33 | 8D | B5 | 34 | 45 | 32 |
| 2 | 1001 |  | 00 | FF | 64 | 31 | 11 | A6 | 33 | 24 |
| 3 | 0011 |  | 32 | 63 | CC | **C3** | FA | 1F | 33 | 53 |
| 4 | 1010 |  | 76 | 88 | 64 | 46 | 25 | 37 | F3 | FA |
| 5 | 0100 |  | DC | 14 | 33 | 96 | 8A | 7B | 34 | F0 |
| 6 | 0010 |  | 15 | 37 | A1 | 85 | AA | B6 | 42 | 13 |
| 7 | 1001 |  | 77 | 76 | 34 | 90 | 00 | 15 | 61 | 24 |

a)

|  |  |  |
| --- | --- | --- |
| 0100 | 101 | 011 |

b) 2A6 = 1010 100 110, tiene acierto, obtiene el valor 88.

3A5 = 1110 100 101, no tiene acierto porque la etiqueta 1110 no se encuentra en la Memoria Caché.

c) El tamaño de la MP es de 1 KB.

d) Se actualiza la línea que coincide con el número de bloque donde se halla la instrucción en la Memoria Principal.